



# KOREAN PATENT ABSTRACTS(KR)

Document Code:B1

(11) Publication No. 1019970007564

(44) Publication Date. 19971110

(21) Application No. 1019950023085

(22) Application Date. 19950729

(51) IPC Code:

G06F 1/04

(71) Applicant:

SAMSUNG ELECTRONICS CO., LTD.

(72) Inventor:

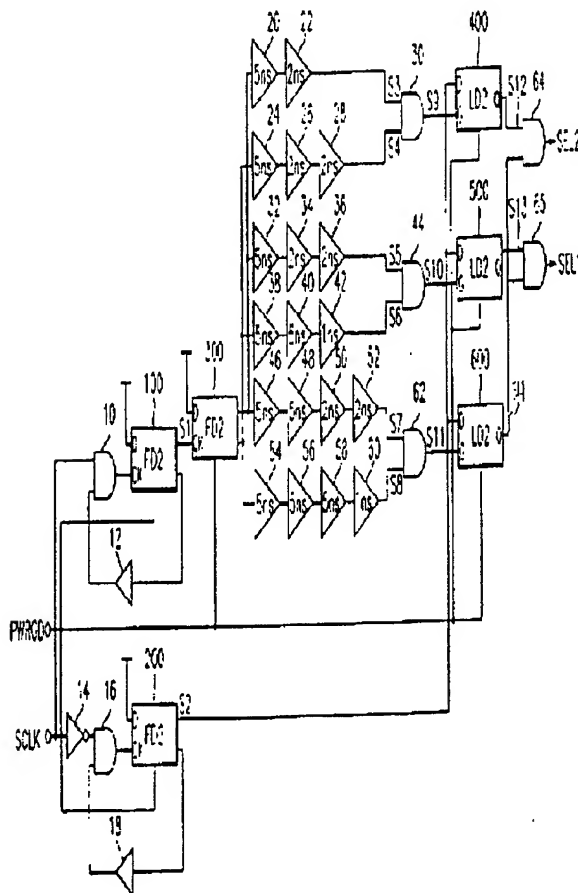
KIM, GWAN YEONG

(30) Priority:

(54) Title of Invention

CIRCUIT FOR AUTOMATICALLY DETECTING CLOCK SPEED

Representative drawing



according to a clock speed.

(57) Abstract:

PURPOSE: A circuit for automatically detecting clock speed is provided to adjust a system clock for normally operating a system while not using an additional setting.

CONSTITUTION: A signal generate instrument creates first/second signals(S1,S2), and plural delay instruments delay the first signal. A store instrument preserves the outputs of the delay instruments. An output instrument outputs first/second control signals (SEL1,SEL2) by combining the outputs of the store instrument, and a select instrument outputs a bus clock signal(CLK) at a uniform speed. Herein, a multiplexer (700) outputs the bus clock signal by selecting one from CLK4,CLK6, and CLK8

COPYRIGHT 2000 KIPO

if display of image is failed, press (F5)

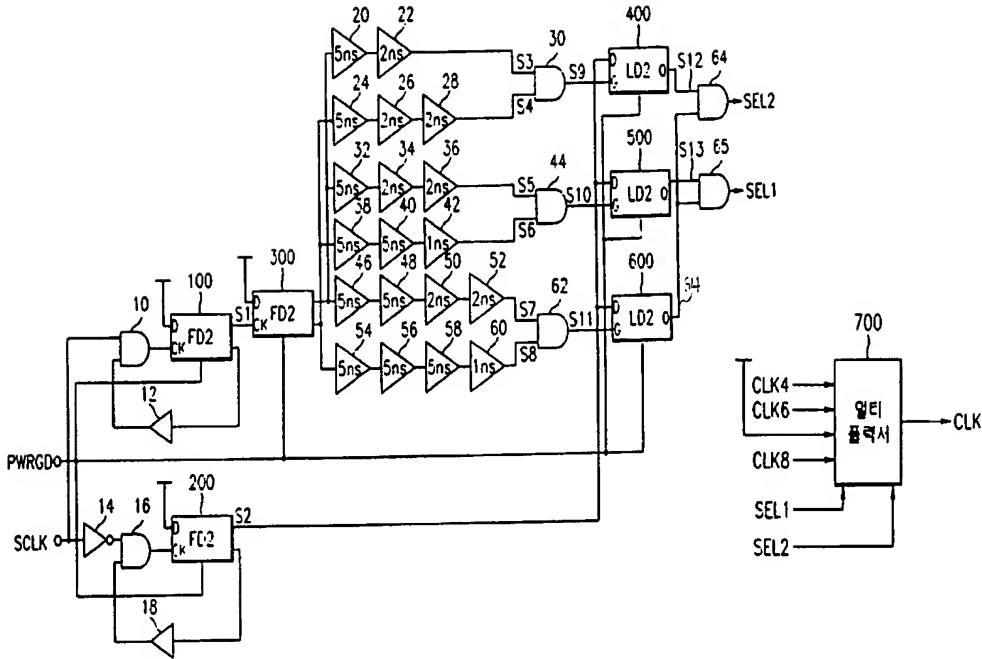
(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

|                            |                                       |           |               |
|----------------------------|---------------------------------------|-----------|---------------|
| (51) Int. Cl. <sup>6</sup> |                                       | (11) 등록번호 | 특0151528      |
| G06F 1 /04                 |                                       | (24) 등록일자 | 1998년06월19일   |
| (21) 출원번호                  | 특 1995-023085                         | (65) 공개번호 | 특 1997-007564 |
| (22) 출원일자                  | 1995년07월29일                           | (43) 공개일자 | 1997년02월21일   |
| (73) 특허권자                  | 삼성전자주식회사 김광호<br>경기도 수원시 팔달구 매탄동 416번지 |           |               |
| (72) 발명자                   | 김관영<br>서울특별시 동작구 상도2동 169-75          |           |               |
| (74) 대리인                   | 이건주                                   |           |               |
| 심사관 :                      | 전병기                                   |           |               |
| (54) 클럭속도 자동감지회로           |                                       |           |               |

요약

1. 청구범위에 기재된 발명이 속하는 기술 분야 : 본 발명은 반도체 집적회로에 관한 것으로, 특히 클럭속도가 다른 여러 개의 클럭을 자동적으로 감지하여 별도의 셋팅없이 시스템이 정상동작하도록 시스템클럭을 조정하는 반도체 집적회로의 클럭속도 자동감지 회로에 관한 것이다.
2. 발명이 해결하려고 하는 기술적 과제 : 기존에는 시스템클럭의 속도에 따라서 사용자가 레지스터(register)에 셋팅하기 위해서 바이오스(Basic Input/Output System : 이하 BIOS라고 함) 셋업에서 바꾸어 주어야 슬롯으로의 버스클럭이 일정속도로 발생하게 되어 있었다. 이는 반도체 집적회로의 기능을 저하시키는 요인이 되었다.
3. 발명의 해결방법의 요지 : 시스템클럭과 소정의 전원제어신호를 입력하여 소정의 제1 및 제2신호를 출력하기 위한 신호 발생수단과, 상기 제1신호를 입력하여 상기 제1신호를 차별적으로 지연하기 위한 복수개의 지연수단과, 상기 지연수단의 출력을 각각 소정시간 저장하기 위한 저장수단과; 상기 저장수단의 출력을 논리조합하여 소정의 제1 및 제2제어신호를 출력하기 위한 출력 수단과, 상기 출력수단의 출력에 응답하여 일정한 속도를 지니는 버스클럭신호를 출력하기 위한 선택수단으로 구성된 클럭속도 자동감지회로를 개발함으로써 버스클럭의 속도를 일정하게 출력하게 된다.
4. 발명의 중요한 용도 : 다기능을 가지는 반도체 집적회로.

대표도



명세서

[발명의 명칭]

클럭속도 자동감지회로.

[도면의 간단한 설명]

제1a도는 본 발명의 실시예에 따른 클럭속도 자동감지회로의 회로도.

제1b도는 제1a도의 출력이 사용되는 상태를 보여주는 도면.

제2도는 제1a도 및 제1b도에 따른 동작타이밍도.

[발명의 상세한 설명]

본 발명은 반도체 집적회로에 관한 것으로, 특히 클럭속도가 다른 여러개의 클럭을 자동적으로 감지하여 별도의 셋팅없이 시스템이 정상동작하도록 시스템클럭을 조정하는 반도체 집적회로의 클럭속도 자동감지 회로에 관한 것이다.

반도체 집적회로에 있어서, 칩이 가지는 다기능화를 위해서 여러 가지 동작이 동일칩내부의 회로들에 의해서 진행되도록 하는 것은 아주 효과적이다. 개인용 컴퓨터(personal computer)와 같은 시스템이 동작하기 위해서는 중앙처리장치와 칩셋(chipset)에 동일한 속도의 시스템클럭을 인가하여야 한다. 통상적으로 외부장치들이 장착되는 슬롯(slot)에는 상기 시스템클럭에 상관없이 일정한 속도의 클럭이 인가되도록 규정되어 있다. 현재 586계열에서는 33메가, 50메가 혹은 66메가헤르쯔의 속도를 지닌 시스템클럭이 주로 사용되고 있으므로 사용자는 별도의 셋팅(setting)없이 크리스탈(crystal)을 바꾸는 것만으로 시스템클럭을 바꿀 수 있다.

기존에는 시스템클럭의 속도에 따라서 사용자가 레지스터(register)에 셋팅하기 위해서 바이오스(Basic Input/Output System : 이하 BIOS라고 함) 셋업에서 바꾸어 주어야 슬롯으로의 버스클럭이 일정속도로 발생하게 되어 있었다. 이는 반도체 집적장치의 다기능화를 저해하는 요인이 된다.

따라서 본 발명의 목적은 시스템클럭을 별도로 셋팅하지 않고 부팅(booting)시에 버스클럭(bus clock)이 일정한 속도속 발생되게 하는 클럭속도 자동감지회로를 제공하는 데 있다.

상기 본 발명의 목적을 달성하기 위하여 본 발명에 다른 클럭속도 자동감지회로는, 시스템클럭과 소정의 전원제어신호를 입력하여 소정의 제1 및 제2신호를 출력하기 위한 신호발생수단과, 상기 제1신호를 입력하여 상기 제1신호를 차별적으로 지연하기 위한 복수개의 지연수단과, 상기 지연수단의 출력을 소정시간 저장하기 위한 저장수단과, 상기 저장수단의 출력을 논리조합하여 소정의 제1 및 제2제어신호를 출력하기 위한 출력수단과, 상기 출력수단의 출력을 멀티플렉싱하여 일정한 속도를 지니는 버스클럭신호를 출력하기 위한 선택수단으로 구성됨을 특징으로 한다.

제1a도는 본 발명의 실시예에 따른 클럭속도 자동감지회로를 보여주는 도면이다. 제1b도는 상기 제1도의 출력이 사용되는 상태를 보여주는 도면이다.

시스템의 전원이 안정되었다는 의미로 전원제어신호 PWARGD가 '하이'로 천이된 후 첫번째 시스템클럭 SCLK의 라이징에지(rising edge)를 플립플롭(100)에서 샘플링(sampling)하여 제1신호, S1이 '하이'가 된다. 상기 제1신호 S1을 한번만 토글(toggle)하기 위해서 플립플롭(100)의 출력단자중 하나를 상기 플립플롭(100)의 입력단자로 피드백(feedback)하게 된다. 플립플롭(200)은 시스템클럭 SCLK의 폴링에지(falling edge) 제2신호 S2를 '하이'로 토글시키고 이것도 상기 플립플롭(100)과 마찬가지로 한번만 샘플링하도록 플립플롭(200)의 출력단자중 하나를 상기 플립플롭(200)의 입력단자로 피드백하게 된다. 제1신호 S1이 '하이'로 천이하면 지연수단을 이용하여 시스템클럭이 66메가헤르쯔인 경우는 7-9나노초, 50메가헤르쯔인 경우는 9-11나노초, 33메가헤르쯔인 경우는 14-16나노초뒤에 토글되도록 제3-제8신호 S3-S8을 만든 뒤 마진을 고려하여 2나노초의 폭을 가지는 펄스신호인 제9-제11신호 S9-S11를 만들고, 상기 제2신호 S2를 래치회로들(400, 500, 600)의 래치부에 입력함으로써 시스템클럭의 속도에 따라서 제12신호-제14신호 S12-S14의 값이 다르게 래치된다. 다음으로 상기 제12신호-제14신호 S12-S14를 조합하여 제1제어신호 SEL1과 제2제어신호 SEL2를 만들어 진다. 제1b도에서, 상기 제1a도의 출력인 제1 및 제2제어신호 SEL1과 SEL2는 미리 시스템 클럭을 4분주한 CLK4과 6분주한 CLK6과 8분주한 CLK8을 멀티플렉서를 통하여 선택되도록 하므로 일정한 속도를 지닌 버스클럭을 발생하게 된다. 제12신호-제14신호 S12-S14에 따른 클럭속도와 제1 및 제2제어신호는 [표1]에 나타난 것과 같다.

[표 1]

| S12 | S13 | S14 | 속도    | SEL1 | SEL2 |
|-----|-----|-----|-------|------|------|
| 1   | 1   | 1   | 66MHz | 1    | 1    |
| 0   | 1   | 1   | 50MHz | 0    | 1    |
| 0   | 0   | 1   | 33MHz | 0    | 0    |

제2도는 상기 제1도에 따른 동작타이밍도이다. 제2도로 나타난 타이밍도는 시스템클럭이 66MHz인 경우를 나타내었다.

먼저 전원제어신호 PWARGD는 '하이'가 된후 시스템클럭 SCLK의 첫번째 라이징에지에서 제1신호 S1이 '하이'로 천이하게 된다. 그리고 나서 제3신호 S3는 7나노초, 제4신호 S4는 9나노초, 제5신호 S5는 9나노초, 제6신호 S6는 11나노초, 제7신호 S7은 14나노초, 제8신호 S8은 16나노초뒤에 각각 제3신호와 제5신호와 제7신호 S3, S5, S7은 '하이'로 천이하고, 제4신호와 제6신호와 제8신호 S4, S6, S8은 '로우'로 천이하게 된다. 제3신호 S3과 제4신호 S4를 앤드게이트(30)에서 게이팅하여

제9신호 S9를 만들고, 제5신호 S5와 제6신호 S6를 앤드게이트(44)에서 게이팅하여 제10신호 S10를 만들고, 제7신호 S7과 제8신호 S8를 앤드게이트(62)에서 게이팅하여 제11신호 S11를 만들게 된다. 이러한 제9-제11신호 S9-S11은 마진을 위해서 2나노초의 폭을 지니는 포지티브펄스이다.

제2신호 S2는 전원제어신호 PWRGD가 '하이'로 천이한 뒤 시스템클럭 SCLK의 첫번째 폴링에지에서 '하이'로 천이하게 되므로, 상기 시스템클럭이 66MHZ라면 상기 시스템클럭 SCLK의 라이징에지에서 7-9나노초뒤에, 시스템클럭이 50MHZ라면 9-11나노초뒤에, 그리고 시스템클럭이 33MHZ라면 14-16나노초뒤에 '하이'로 천이될 것이다. 따라서 제9-제11신호 S9-S11는 래치 회로들(400, 500, 600)의 제1입력단들로 입력되고, 제2신호 S2는 상기 래치회로들(400, 500, 600)의 제2입력단들로 입력되어 제12-제14신호 S12-S14가 클럭속도에 따라 각각 다르게 천이하게 된다.

그리고 제12-제14신호 S12-S14를 조합하여 제1 및 제2제어신호 SEL1, SEL2를 만들어 멀티플렉서(700)의 선택단자로 입력함으로써, 클럭속도에 따라 CLK4, CLK6, CLK8중의 하나를 선택하여 버스클럭 CLK를 일정한 속도로 발생하게 하였다.

이에 따라 클럭속도가 다른 여러개의 클럭을 자동적으로 감지하게 되므로 별도의 셋팅없이 시스템이 정상동작하도록 시스템클럭을 조정하는 반도체 집적회로의 클럭속도 자동감지회로가 구현된다.

#### (57) 청구의 범위

청구항 1. 반도체 집적회로의 클럭속도 자동감지회로에 있어서, 시스템클럭과 소정의 전원제어신호를 입력하여 소정의 제1 및 제2 신호를 출력하기 위한 신호발생수단과, 상기 제1신호를 입력하여 상기 제1신호를 차별적으로 지연하기 위한 복수개의 지연수단과, 상기 지연수단의 출력을 각각 소정시간 저장하기 위한 저장수단과, 상기 저장수단의 출력을 논리조합하여 소정의 제1 및 제2제어신호를 출력하기 위한 출력수단과, 상기 출력수단의 출력에 응답하여 일정한 속도를 지니는 버스클럭 신호를 출력하기 위한 선택수단으로 구성됨을 특징으로 하는 반도체 집적회로의 클럭속도 자동감지회로.

청구항 2. 제1항에 있어서, 상기 신호발생수단이 상기 전원제어신호와 시스템클럭을 입력하는 복수개의 플립플롭으로 구성됨을 특징으로 하는 반도체 집적회로의 클럭속도 자동감지회로.

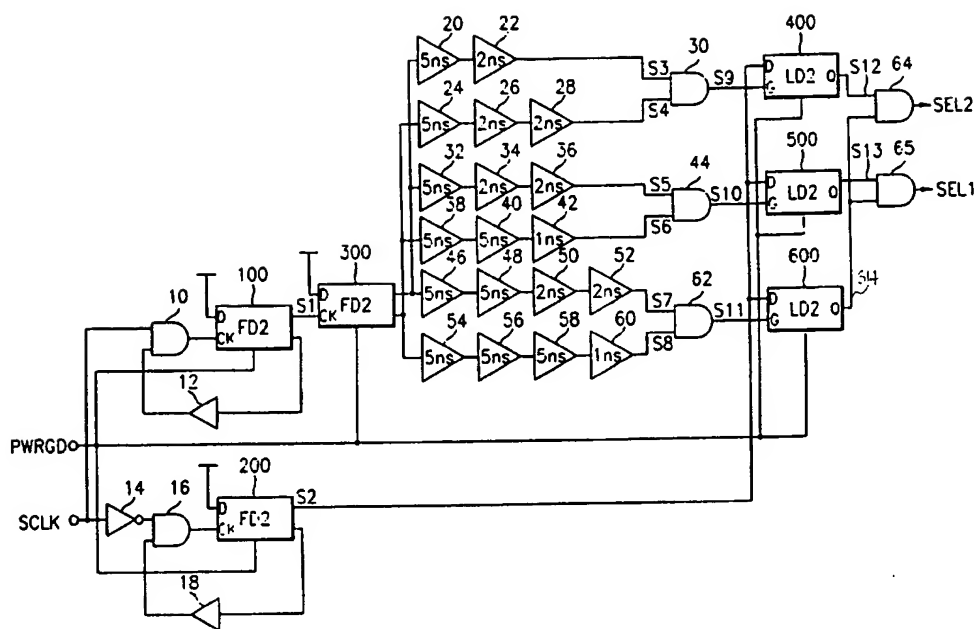
청구항 3. 제1항에 있어서, 상기 지연수단이 직렬접속된 지연버퍼로 구성됨을 특징으로 하는 반도체 집적회로의 클럭속도 자동감지회로.

청구항 4. 제1항에 있어서, 상기 저장수단이 래치회로로 구성됨을 특징으로 하는 반도체 집적회로의 클럭속도 자동감지회로.

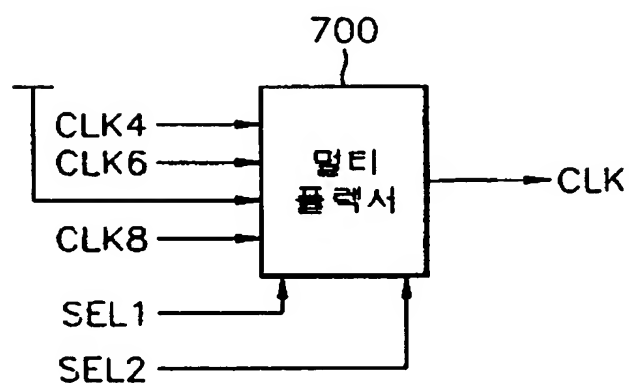
청구항 5. 제1항에 있어서, 상기 선택수단이 멀티플렉서로 구성됨을 특징으로 하는 반도체 집적회로의 클럭속도 자동감지회로.

도면

도면 1a



도면 1b



도면 2

